



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0098329
(43) 공개일자 2019년08월22일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 21/67 (2006.01)
H01L 23/00 (2006.01)

(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 21/67098 (2013.01)

(21) 출원번호 10-2018-0018125
(22) 출원일자 2018년02월14일
심사청구일자 없음

(71) 출원인
주식회사 루멘스
경기도 용인시 기흥구 원고매로 12 (고매동)

(72) 발명자
유대경
경기도 성남시 분당구 미금일로 5, 502동 201호
(구미동, 청구빌라)

서주욱
경기도 용인시 기흥구 원고매로 12(고매동, 주식
회사 루멘스)

(74) 대리인
유창열

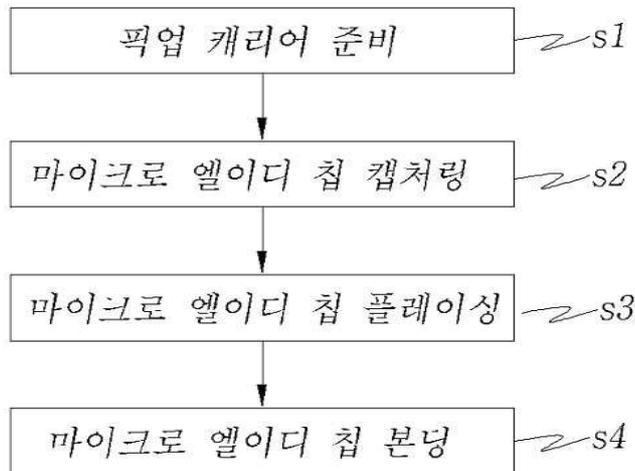
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 엘이디 디스플레이 패널 제조를 위한 엘이디 칩 어레이 방법

(57) 요약

칩 유지 필름의 상면에 유지된 엘이디 칩들을 기결정(predetermined) 배열로 기관 상에 어레이하는, 엘이디 칩 어레이 방법이 개시된다. 이 방법은 상기 기결정 배열과 대응하는 배열의 석션 포켓들이 형성된 픽업 캐리어를 준비하는 단계; 상기 석션 포켓들 내부를 감압하여 상기 엘이디 칩들 각각을 캡처링하는 단계; 상기 엘이디 칩들이 상기 석션 포켓들의 배열 상태로 상기 기관 상에 플레이싱하는 하는 단계; 및 상기 솔더들을 가열하여 상기 엘이디 칩들을 상기 기관 상에 본딩하는 단계를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 21/67121 (2013.01)

H01L 21/67144 (2013.01)

H01L 24/11 (2013.01)

명세서

청구범위

청구항 1

칩 유지 필름의 상면에 유지된 엘이디 칩들을 기결정(predetermined) 배열로 기판 상에 어레이하는, 엘이디 칩 어레이 방법으로서,

상기 기결정 배열과 대응하는 배열의 석션 포켓들이 형성된 픽업 캐리어를 준비하는 단계;

상기 석션 포켓들 내부를 감압하여 상기 엘이디 칩들 각각을 캡처링하는 단계;

상기 엘이디 칩들이 상기 석션 포켓들의 배열 상태로 상기 기판 상에 플레이싱하는 하는 단계; 및

상기 솔더들을 가열하여 상기 엘이디 칩들을 상기 기판 상에 본딩하는 단계를 포함하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 2

청구항 1에 있어서, 상기 픽업 캐리어를 준비하는 단계는, 상기 석션 포켓들 각각의 상단에 연결되는 연결 홀들을 포함하도록, 상기 픽업 캐리어를 제작하는 것을 포함하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 3

청구항 1에 있어서, 상기 픽업 캐리어를 준비하는 단계는 상기 석션 포켓들이 형성된 석션 플레이트와, 진공 및 공기 가압 통로가 형성된 척을 상기 진공 및 상기 공기 가압 통로가 상기 석션 포켓들과 통할 수 있도록 결합하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 4

청구항 3에 있어서, 상기 픽업 캐리어를 준비하는 단계는 상기 엘이디 칩들 각각을 완전히 수용할 수 있는 제1 깊이로 상기 석션 포켓들을 형성하고 상기 제1 깊이보다 작은 제2 깊이로 상기 석션 포켓들과 연결된 연결 홀들을 형성하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 5

청구항 1에 있어서, 상기 픽업 캐리어를 준비하는 단계는 Si, GaAs, 사파이어 또는 AlN 재료로 이루어진 플레이트에 상기 석션 포켓들을 제1 깊이로 그리고 상기 석션 포켓들과 연결되는 연결 홀들을 상기 제1 깊이보다 작은 제2 깊이로 형성하여 석션 플레이트를 제작하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 6

청구항 2에 있어서, 상기 연결 홀들 각각은 상기 석션 포켓들 각각의 단면적 보다 작은 단면적을 갖는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 7

청구항 1에 있어서, 상기 캡처링 하는 단계는 상기 석션 포켓들 각각이 대응되는 엘이디 칩과 적어도 부분적으로 면해 있도록 상기 석션 캐리어를 얼라인한 후 수행되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 8

청구항 1에 있어서, 상기 캡처링 하는 단계는, 상기 석션 포켓들 내부를 감압하는 한편, 상기 칩 유지 필름의 저면에서 상기 엘이디 칩들을 상기 석션 포켓들에 대하여 밀는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 9

청구항 8에 있어서, 상기 칩 유지 필름의 저면에서 상기 엘이디 칩들을 상기 석션 포켓들에 대하여 밀기 위해,

상기 석션 포켓들에 대응되는 핀들을 포함하는 멀티 핀 구조물이 이용되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 10

청구항 1에 있어서, 상기 플레이싱하는 단계는 상기 기판 상의 솔더들과 상기 석션 포켓에 캡처링된 엘이디 칩들을 대응시키도록, 상기 기판과 상기 석션 캐리어를 얼라인한 후 수행되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 11

청구항 10에 있어서, 상기 플레이싱하는 단계는, 상기 석션 캐리어를 상기 기판에 얼라인시킨 상태에서, 상기 석션 포켓들 내부의 감압 상태를 해제하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 12

청구항 10에 있어서, 상기 플레이싱하는 단계는, 상기 석션 캐리어를 상기 기판에 얼라인시킨 상태에서, 상기 석션 포켓들 내부로 가압 공기를 공급하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 13

청구항 1에 있어서, 상기 석션 포켓들의 깊이는 상기 엘이디 칩들의 두께보다 크며, 상기 플레이싱하는 단계에서, 상기 엘이디 칩들은 일정 거리 하강하여 상기 기판에 플레이싱되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 14

청구항 1에 있어서, 상기 석션 포켓들의 깊이는 상기 엘이디 칩들의 두께보다 크며, 상기 석션 포켓들의 내측면은 상기 엘이디 칩들의 하강을 가이드하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 15

청구항 1에 있어서, 상기 본딩하는 단계는 상기 기판과 접촉되는 발열 블록을 이용하여 상기 기판 상의 솔더들을 가열하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 16

청구항 1에 있어서, 상기 본딩하는 단계는 상온에서 상기 엘이디 칩들을 상기 기판에 가접시킨 후 수행되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 17

청구항 1에 있어서, 상기 본딩하는 단계는 상온에서 상기 엘이디 칩들을 상기 기판에 가접시킨 후 리플로우 공정을 통해 수행되는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 18

칩 유지 필름의 상면에 유지된 엘이디 칩들을 미리 결정된 배열로 기판 상에 어레이하는데 이용되는 픽업 캐리어로서,

상기 미리 결정된 배열과 일치하는 배열의 석션 포켓들과 상기 석션 포켓들과 연결된 연결 홀이 형성된 석션 플레이트와,

상기 석션 플레이트와 결합될 때, 상기 연결 홀과 연결되어 상기 석션 포켓과 통해 있는 진공 통로가 형성된 칩을 포함하며,

상기 석션 포켓들 각각은, 상기 엘이디 칩들을 수용할 수 있는 크기와 모양으로 형성되되, 상기 엘이디 칩들의 높이보다 크며, 상기 연결 홀들의 단면적은 상기 석션 포켓의 단면적보다 작은 것을 특징으로 하는 픽업 캐리어.

발명의 설명

기술 분야

[0001] 본 발명은 엘이디 디스플레이 패널 제조 기술에 관한 것으로서, 더 상세하게는, 마이크로 엘이디 제조를 위한 마이크로 엘이디 칩 어레이 방법에 관한 것이다.

배경 기술

[0002] 마이크로 엘이디 디스플레이 패널 구현을 위한 마이크로 엘이디 모듈을 만들기 위해, 수직형 또는 플립칩형의 마이크로 엘이디 칩들을 PCB(Printed Circuit Board)와 같은 기판에 본딩하여 어레이 한다. 이를 위해서는, 칩 유지 필름 상에 소팅(sorting)되어 있는 마이크로 엘이디 칩들을 기판 상의 솔더들 위치로 정확히 옮겨 본딩하는 것이 요구된다.

[0003] 이때, 도 1에 도시된 바와 같이, 칩 유지 필름(2) 상에 소트되어 있는 마이크로 엘이디 칩(3)들의 간격은 기판(4) 상의 솔더(5)들 간격과 다르므로, 기판(4) 상의 각 솔더(5) 위치를 하나씩 확인 한 후, 다이 본더(6)를 이용하여 마이크로 엘이디 칩(3)을 기판(4) 상의 해당 솔더(5)에 본딩하는 방법이 제안된 바 있다. 그러나 이 방법은 많은 수의 마이크로 엘이디 칩(3)을 하나씩 옮겨 기판(4) 상에 본딩해야 하므로, 과도하게 많은 공정 시간이 요구되는 단점이 있다.

[0004] 대안적으로, 소팅된 칩 유지 필름 상의 마이크로 엘이디 칩을 픽셀 사이즈에 맞게 재배열한 후 전체 마이크로 엘이디 칩들을 예컨대 롤투롤(roll to roll) 방식으로 또는 정전기 접착 방식 등으로 전사하는 방법이 있다. 이러한 방법을 이용할 경우, 마이크로 엘이디 디스플레이 패널의 양산을 위해서는, 재배열시 마이크로 엘이디 칩들의 칩간 간격의 정밀도가 수 um 이내로 정밀해야하고 속도 또한 빨라야 하는데 이를 만족시키기 어려웠다. 심지어, 마이크로 엘이디 칩보다 더 큰 크기를 갖는 엘이디 칩들을 이용하는 미니 엘이디 디스플레이 패널의 양산에 있어서도, 엘이디 칩들간의 칩간 간격 정밀도가 $\pm 10\mu\text{m}$ 이내를 만족시켜야 하지만 이 또한 달성하기 어려웠다.

[0005] 또한, 롤투롤 방식 또는 정전기 접착 방식 등 일반적으로 엘이디 칩들을 전사 할 경우, 재배열한 엘이디 칩들의 상부(즉 엘이디 발광면)에 접착시트를 부착하여 전사를 진행해야 하고, 추후에 접착시트를 제거 하면, 엘이디 칩 상부에 접착제가 조금이라도 남아 있어 발광 효율이 떨어지는 문제점이 있다.

[0006] 또한, 기판에 엘이디 칩들을 전사하기 위해 검토되어 왔던 여러 가지 방법들은 디스플레이를 구현하기에 충분한 엘이디 칩들의 X/Y/Z 정배열 수준을 맞추지 못하고 있고, 엘이디 칩들을 본딩을 위한 리플로우 공정에 있어서도 엘이디 칩들의 원치 않는 회전이나 틀어짐 등의 현상이 발생할 우려가 컸다.

발명의 내용

해결하려는 과제

[0007] 본 발명은, 마이크로 엘이디 칩들과 같은 미세 크기의 엘이디 칩들을 칩 유지부에서 기판으로 옮겨 어레이 함에 있어서, 엘이디 칩들의 부정밀한 배열, 및 틀어짐 문제, 그리고, 접착제가 엘이디 칩 상면에 남는 등의 문제점을 해결하고, 다량의 엘이디 칩을 한꺼번에 기판 상에 어레이하는 방법을 제공하는 것에 그 목적이 있다.

과제의 해결 수단

[0008] 본 발명의 일측면에 따라 칩 유지 필름의 상면에 유지된 엘이디 칩들을 기결정(predetermined) 배열로 기판 상에 어레이하는 엘이디 칩 어레이 방법이 제공되며, 상기 엘이디 칩 어레이 방법은, 상기 기결정 배열과 대응하는 배열의 석션 포켓들이 형성된 픽업 캐리어를 준비하는 단계; 상기 석션 포켓들 내부를 감압하여 상기 엘이디 칩들 각각을 캡처링하는 단계; 상기 엘이디 칩들이 상기 석션 포켓들의 배열 상태로 상기 기판 상에 플레이싱되게 하는 단계; 및 상기 솔더들을 가열하여 상기 엘이디 칩들을 상기 기판 상에 본딩하는 단계를 포함한다.

[0009] 일 실시예에 따라, 상기 픽업 캐리어를 준비하는 단계는, 상기 석션 포켓들 각각의 상단에 연결되는 연결 홀들을 포함하도록, 상기 픽업 캐리어를 제작하는 것을 포함하며, 상기 연결 홀들 각각은 상기 석션 포켓들 각각의 단면적보다 작은 단면적을 갖는다.

[0010] 일 실시예에 따라, 상기 픽업 캐리어를 준비하는 단계는, 상기 석션 포켓들이 형성된 석션 플레이트와 진공 통

로가 형성된 척을 상기 석션 포켓들과 상기 진공 통로가 통할 수 있도록 결합하는 것을 포함한다.

- [0011] 일 실시예에 따라, 상기 픽업 캐리어를 준비하는 단계는 상기 석션 포켓들이 형성된 석션 플레이트와, 진공 및 공기 가압 통로가 형성된 척을 상기 진공 및 상기 공기 가압 통로가 상기 석션 포켓들과 통할 수 있도록 결합하는 것을 포함한다.
- [0012] 일 실시예에 따라, 상기 픽업 캐리어를 준비하는 단계는 상기 엘이디 칩들 각각을 완전히 수용할 수 있는 제1 깊이로 상기 석션 포켓들을 형성하고 상기 제1 깊이보다 작은 제2 깊이로 상기 석션 포켓들과 연결된 연결 홀들을 형성하는 것을 포함한다.
- [0013] 일 실시예에 따라, 상기 픽업 캐리어를 준비하는 단계는 Si, GaAs, 사파이어 또는 AlN 재료로 이루어진 플레이트에 상기 석션 포켓들을 제1 깊이로 그리고 상기 석션 포켓들과 연결되는 연결 홀들을 상기 제1 깊이보다 작은 제2 깊이로 형성하여 석션 플레이트를 제작하는 것을 포함한다.
- [0014] 일 실시예에 따라, 상기 캡처링 하는 단계는 상기 석션 포켓들 각각이 대응되는 엘이디 칩과 적어도 부분적으로 면해 있도록 상기 석션 캐리어를 얼라인한 후 수행된다.
- [0015] 일 실시예에 따라, 상기 캡처링 하는 단계는, 상기 석션 포켓들 내부를 감압하는 한편, 상기 칩 유지 필름의 저면에서 상기 엘이디 칩들을 상기 석션 포켓들에 대하여 미는 것을 포함한다.
- [0016] 일 실시예에 따라, 상기 칩 유지 필름의 저면에서 상기 엘이디 칩들을 상기 석션 포켓들에 대하여 밀기 위해, 상기 석션 포켓들에 대응되는 핀들을 포함하는 멀티 핀 구조물이 이용된다.
- [0017] 일 실시예에 따라, 상기 플레이싱하는 단계는 상기 기관 상의 솔더들과 상기 석션 포켓에 캡처링된 엘이디 칩들을 대응시키도록, 상기 기관과 상기 석션 캐리어를 얼라인한 후 수행된다.
- [0018] 일 실시예에 따라, 상기 플레이싱하는 단계는, 상기 석션 캐리어를 상기 기관에 얼라인시킨 상태에서, 상기 석션 포켓들 내부의 감압 상태를 해제하는 것을 포함한다.
- [0019] 일 실시예에 따라, 상기 플레이싱하는 단계는, 상기 석션 캐리어를 상기 기관에 얼라인시킨 상태에서, 상기 석션 포켓들 내부로 가압 공기를 공급하는 것을 포함한다.
- [0020] 일 실시예에 따라, 상기 석션 포켓들의 깊이는 상기 엘이디 칩들의 두께보다 크며, 상기 플레이싱하는 단계에서, 상기 엘이디 칩들은 일정 거리 하강하여 상기 기관에 플레이싱된다.
- [0021] 일 실시예에 따라, 상기 석션 포켓들의 깊이는 상기 엘이디 칩들의 두께보다 크며, 상기 석션 포켓들의 내측면은 상기 엘이디 칩들의 하강을 가이드한다.
- [0022] 일 실시예에 따라, 상기 본딩하는 단계는 상기 기관과 접촉되는 발열 블록을 이용하여 상기 기관 상의 솔더들을 가열하는 것을 포함한다.
- [0023] 일 실시예에 따라, 상기 본딩하는 단계는 상온에서 상기 엘이디 칩들을 상기 기관에 가접시킨 후 수행된다.
- [0024] 일 실시예에 따라, 상기 본딩하는 단계는 상온에서 상기 엘이디 칩들을 상기 기관에 가접시킨 후 리플로우 공정을 통해 수행된다.
- [0025] 본 발명의 다른 측면에 따라, 칩 유지 필름의 상면에 유지된 엘이디 칩들을 미리 결정된 배열로 기관 상에 어레이하는데 이용되는 픽업 캐리어가 제공되며, 이 픽업 캐리어는, 상기 미리 결정된 배열과 일치하는 배열의 석션 포켓들과 상기 석션 포켓들과 연결된 연결 홀이 형성된 석션 플레이트와, 상기 석션 플레이트와 결합될 때, 상기 연결 홀과 연결되어 상기 석션 포켓과 통해 있는 진공 통로가 형성된 척을 포함하며, 상기 석션 포켓들 각각은, 상기 엘이디 칩들을 수용할 수 있는 크기와 모양으로 형성되며, 상기 엘이디 칩들의 높이보다 크며, 상기 연결 홀들의 단면적은 상기 석션 포켓의 단면적보다 작다.

발명의 효과

- [0026] 본 발명에 따르면, 칩 유지 필름 상에서 위치한 엘이디 칩들을 PCB와 같은 기관 상에 어레이함에 있어서, 그 엘이디 칩들을 기관 상으로 옮기는 과정에서 기관 상의 기결정 배열과 일치하게 엘이디 칩들의 배열을 조정할 수 있고, 따라서, 기존 엘이디 칩들을 하나씩 기관으로 옮기는 방식이나 또는 재정렬 후 옮기는 방식에 비해 양산성이 크게 향상된다. 또한 본 발명은 엘이디 칩을 옮기는 과정 및/또는 본딩하는 과정에서 틀어짐을 막을 수 있어 정밀한 엘이디 칩 본딩이 가능하다는 장점을 갖는다. 또한, 본 발명은 접착제를 갖는 필름을 이용한 전사 방

식과 달리 접착제가 엘이디 칩 상면에 남지 않는 장점이 있다.

도면의 간단한 설명

- [0027] 도 1은 종래기술을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 엘이디 칩 어레이 방법을 전반적으로 설명하기 위한 순서도이다.
- 도 3의 (a) 및 (b)는 마이크로 엘이디 칩들이 유지되어 있는 칩 유지 필름과, 솔더들이 형성되어 있는 기관을 도시한 도면들이다.
- 도 4 내지 도 11은 본 발명의 일 실시예에 따른 엘이디 칩 어레이 방법의 각 단계들을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- [0029] 도 2를 참조하면, 본 발명의 일 실시예에 따른 엘이디 칩 어레이 방법은, 칩 유지 필름의 상면에 유지된 마이크로 엘이디 칩들을 기결정(predetermiend) 배열로 기관 상에 어레이하는, 엘이디 칩 어레이 방법으로서, 상기 기결정 배열과 일치하는 배열의 석션 포켓들이 형성된 픽업 캐리어를 준비하는 단계(s1)와, 상기 석션 포켓들 내부를 감압하여, 상기 석션 포켓들 각각에 상기 마이크로 엘이디 칩들 각각을 캡처링하는 단계(s2)와, 상기 석션 포켓들의 배열 그대로 상기 마이크로 엘이디 칩들을 상기 기관 상에 플레이싱하는 단계(s3)와, 상기 솔더들을 가열하여 상기 마이크로 엘이디 칩들을 상기 기관 상에 본딩하는 단계(s4)를 포함한다.
- [0030] 도 3의 (a) 및 (b)를 참조하면, 마이크로 엘이디 칩(30)들이 유지되어 있는 칩 유지 필름(20)과, 솔더(50)들이 형성되어 있는 기관(40)을 볼 수 있다.
- [0031] 상기 마이크로 엘이디 칩(30)들은 저면에 극성이 다른 두 개의 전극을 갖는 플립칩형 마이크로 엘이디 칩이거나 또는 저면에 하나의 전극을 갖는 수직형 마이크로 엘이디 칩일 수 있다. 이하 설명되는 단계들에 의해, 상기 마이크로 엘이디 칩(30)들은 상기 칩 유지 필름(20)으로부터 분리되어 PCB와 같은 기관(40)에 본딩된다. 이때, 칩 유지 필름(20) 상의 마이크로 엘이디 칩(30)들의 간격 또는 배열과 기관(40) 상에 실장되어야 할 마이크로 엘이디 칩(30)들의 간격 또는 배열과 차이가 있을 수밖에 없는데, 본 발명은 마이크로 엘이디 칩(30)들을 칩 유지 필름(20)으로부터 픽업할 때 기관(40) 상의 목표로 하는 일정 배열과 일치되는 배열로 마이크로 엘이디 칩(30)들의 위치를 조정한다.
- [0032] 도 4를 참조하면, 상기 단계(s1)는, 기관 상에 마이크로 엘이디 칩(30)들을 어레이 하고자 하는 기결정 배열과 일치하는 배열의 석션 포켓(612)들이 형성된 픽업 캐리어(60)를 준비하는 단계이다. 상기 단계(s1)에 의해 준비된 픽업 캐리어(60)는 칩 유지 필름(20; 도 3 참조) 상의 마이크로 엘이디 칩(30; 도 3 참조)들을 픽업함과 동시에 마이크로 엘이디 칩(30; 도 3 참조)들을 상기 기결정 배열과 일치하게 조정된 후 기관(40; 도 3 참조)상에 플레이싱하는데 이용된다. 기관 상으로의 마이크로 엘이디 칩들의 기결정 배열과 석션 포켓(612)들의 배열이 같다는 것은 이웃하는 두 마이크로 엘이디 칩들 사이의 피치(중심과 중심 사이의 간격)과 이웃하는 두 석션 포켓(612, 612)들 사이의 피치(중심과 중심 사이의 간격)이 일치함을 의미한다.
- [0033] 상기 픽업 캐리어 준비 단계(s1)는 상기 석션 포켓(612)들이 형성된 석션 플레이트(61)와 진공 및 공기 가압 통로(622)가 형성된 척(62)을 상기 진공 및 공기 가압 통로(622)가 상기 석션 포켓(612)들과 통할 수 있도록 결합하는 것을 포함한다. 상기 진공 및 공기 가압 통로(622)는 상기 석션 포켓(612) 내부의 압력을 감압하여 마이크로 엘이디 칩(30)을 석션 포켓(612) 내로 흡입하기 위해 진공원과 연결되어 진공을 발생시킬 수 있는 통로이다.
- [0034] 석션 포켓(612) 내 압력을 증가시키면 마이크로 엘이디 칩(30; 도 3 참조)을 큰 압력으로 밀어낼 수 있는데, 이를 위해, 진공 및 공기 가압 통로(622)가 석션 포켓(612) 내 압력을 증가시키는데 이용될 수 있다.
- [0035] 특허청구범위에서의 진공 및 공기 가압 통로는 공기 가압 통로를 겸하는 진공 통로(622)일 수 있고, 공기 가압 통로와 진공 통로를 모두 포함하는 통로들일 수 있다.
- [0036] 상기 석션 플레이트(61)는, Si GaAs, 사파이어 또는 AlN 등과 같은 재료로 이루어진 플레이트에 상기 석션 포켓(612)들이 제1 깊이로 형성되고, 상기 석션 포켓(612)들과 연결되는 연결 홀(613)들이 상기 제1 깊이보다 작은 제2 깊이로 형성되어 제작된다. 상기 석션 포켓(612)의 단면적은 상기 마이크로 엘이디 칩(30)의 단면적보다 약간 크게 형성되는 것이 바람직하다. 상기 연결 홀(613)은 상기 석션 포켓(612)의 상단면에 상기 마이크로 엘이

디 칩(30)의 단면 크기보다 작게 형성되어, 상기 석션 포켓(612) 내부에 석션이 발생될 때, 상기 석션 포켓(612)의 상단면이 마이크로 엘이디 칩(30)이 더 이상 상승하는 것을 규제한다. 상기 석션 포켓(612)과 상기 연결 홀(613)은 식각에 의해 형성될 수 있다. 상기 제1 깊이는 10~2000 μm 이고, 상기 제2 깊이는 1~100 μm 인 것이 바람직하다.

- [0037] 척(62)은 석션 플레이트(61)의 연결 홀(613)을 통해 석션 플레이트(61)의 석션 포켓(612)과 통해 있는 진공 및 공기 가압 통로(622)를 포함하도록 제작된다. 더 구체적으로 설명하면, 진공 및 공기 가압 통로(622)를 통한 진공 발생에 의해 석션 포켓(612) 내 내부 압력이 진공압 상태까지 감압되어 마이크로 엘이디 칩(30; 도 3 참조)을 석션 포켓(612)로 픽업할 수 있는 구조와 진공 및 공기 가압 통로를 통해 석션 포켓(612) 내 내부 압력을 높여 마이크로 엘이디 칩을 기관(40; 도 3 참조)에 본딩할 때 마이크로 엘이디 칩을 공기 압력으로 가압할 수 있는 구조를 포함하도록 척(62)이 제작된다.
- [0038] 이때 상기 척(62)의 재질은 철 및 세라믹 종류 혹은 테플론 재질이나 플라스틱 종류의 재질을 사용하여 가공할 수도 있다.
- [0039] 진술한 것과 같이 제작된 픽업 캐리어(60)는 이하 설명되는 후속 단계들에 이용된다.
- [0040] 도 5 내지 도 7을 참조하여, 상기 석션 포켓(612)들 각각에 상기 마이크로 엘이디 칩(30)들 각각을 하나씩 캡처링하는 단계(s2)가 수행된다.
- [0041] 상기 캡처링 하는 단계(S2)는, 먼저, 도 5 및 도 6에 도시된 바와 같이, 상기 석션 포켓(612)들 각각이 그와 대응되는 마이크로 엘이디 칩(30)과 적어도 부분적으로 면해 있도록 상기 석션 캐리어(60)를 얼라인한 후 수행된다. 이때, 석션 포켓(612)들과 마이크로 엘이디 칩(30)의 배열 및 피치는 다르지만, 석션 포켓(612)들 각각이 해당 마이크로 엘이디 칩(30)과 부분적으로 면하면, 이하 설명되는 바와 같이 석션 포켓(612) 내 감압 발생시 마이크로 엘이디 칩(30)이 석션 포켓(612)내로 들어가면서, 마이크로 엘이디 칩(30)들의 배열 및 피치가 석션 포켓(612)들의 배열 및 피치와 일치하게 된다.
- [0042] 다음, 도 6 및 도 7에 도시된 바와 같이, 상기 캡처링하는 단계(s2)는, 진공원을 구동시켜 상기 석션 포켓(612)들 내부를 감압하여 상기 석션 포켓(612)들 각각이 마이크로 엘이디 칩(30)을 흡입하여 수용하도록 한다. 상기 석션 포켓(612) 내로 흡입된 마이크로 엘이디 칩(30)은 연결 홀(613)이 형성되어 있는 석션 포켓(612)의 상단면까지 상승하여 그 석션 포켓(612)의 상단면에 의해 더 이상 상승하지 못하고 규제된다. 다시 말해, 연결 홀(613)이 마이크로 엘이디 칩(30)에 의해 막히고 진공에 의한 석션은 계속 발생중이므로, 마이크로 엘이디 칩(30)은 상기 석션 포켓(612) 내 상단면과 접한 상태로 멈추어 고정된다. 이때, 석션 포켓(612)의 깊이가 마이크로 엘이디 칩(30)의 두께보다 크므로, 이후 마이크로 엘이디 칩(30)을 기관 상으로 플레이싱하는 단계에서는 마이크로 엘이디 칩(30)이 석션 포켓(612)을 따라 충분한 힘을 받아 하강할 수 있는 충분한 거리가 확보될 수 있다.
- [0043] 상기 캡처링 단계(s2)에서는 상기 석션 포켓(612) 내 진공 발생을 통한 흡입 작용과 더불어 상기 칩 유지 필름(20)의 저면에서 상기 마이크로 엘이디 칩(30)들을 상기 석션 포켓(612)들에 대하여 미는 작용이 수반된다. 상기 칩 유지 필름(20)의 저면에서 상기 마이크로 엘이디 칩(30)들을 상기 석션 포켓(612)들에 대하여 밀기 위해, 상기 석션 포켓(612)들에 대응되는 핀(71)들을 포함하는 멀티 핀 구조물(70)이 이용된다. 칩 유지 필름(20)에 유지되어 있는 마이크로 엘이디 칩(30)들의 배열이 균일하지 않더라도, 석션 포켓(612)들이 석션 작용과 더불어 핀(71)들이 마이크로 엘이디 칩(30)들 각각을 석션 포켓(612)들 각각에 밀어 넣는 작용을 하므로, 마이크로 엘이디 칩(30)들이 석션 포켓(612)들에 쉽게 들어가 수용될 수 있다. 상기 칩 유지 필름(20)의 저면에서 상기 마이크로 엘이디 칩(30)들을 상기 석션 포켓(612)들에 대하여 미는 핀(71)들을 이용함에 있어서는 칩 유지 필름(20)이 유연성을 갖는 것이 전제된다.
- [0044] 다음, 도 8 및 도 9에 도시된 바와 같이, 상기 석션 포켓(612)들의 배열 그대로 상기 엘이디 칩(30)들을 상기 기관(40) 상에 플레이싱하는 단계(s3)가 수행된다.
- [0045] 상기 플레이싱하는 단계(s3)는 상기 기관(40) 상의 솔더(50)들과 상기 석션 포켓(612)에 캡처링된 엘이디 칩(30)들을 대응시키도록, 상기 기관(40)과 상기 석션 캐리어(60)를 얼라인한 후 수행된다. 플립칩형 엘이디 칩과 같이 하부에 두 개의 극성을 갖는 두 전극을 포함하는 엘이디 칩의 경우에 있어서는, 해당 엘이디 칩의 두 전극에 본딩되는 두 솔더 부분들을 하나의 솔더로 간주한다. 따라서, 도 8 및 도 9에서 하나의 마이크로 엘이디 칩(30)에 대응되는 해당 솔더(50)는 실제로 상기 엘이디 칩(30)의 저면에 형성된 두 개의 전극패드에 본딩되는 두 개의 솔더 부분을 포함한다.

[0046] 또한, 상기 플레이싱하는 단계(s3)는, 상기 석션 캐리어(60)를 상기 기판(40)에 얼라인시킨 상태에서, 상기 석션 포켓(612)들 내부의 감압 상태를 해제하여, 마이크로 엘이디 칩(30)이 기판(40) 상에 떨어져 플레이싱되도록 한다. 이때, 상기 석션 포켓(612)들 내부로 가압 공기를 공급하면, 마이크로 엘이디 칩(30)이 공기 가압력에 의해 기판(40) 상으로 강하게 가압되며, 후속하는 단계에서, 본딩 또는 가부착의 접합력을 증대시키는데 기여할 수 있다. 앞에서 언급한 바와 같이, 상기 석션 포켓(612)들의 깊이는 상기 마이크로 엘이디 칩(30)들은 도 9에 도시된 화살표 방향으로 일정 거리 하강하여 상기 기판(40) 상에 플레이싱된다. 이때, 상기 석션 포켓(612)들의 내측면은 상기 마이크로 엘이디 칩(30)들의 하강을 가이드하는 역할을 할 수 있으며, 이는 보다 더 정밀한 마이크로 엘이디 칩들의 어레이를 가능하게 한다.

[0047] 도 9 및 도 10 도시된 바와 같이, 상기 플레이싱 단계(s3)에 연속하여, 또는 그와 거의 동시에, 기판(40) 상의 솔더(50)들을 가열하여 상기 마이크로 엘이디 칩(30)들을 상기 기판(40) 상에 본딩하는 단계(s4)가 수행된다. 본 실시예에서, 상기 본딩하는 단계(s4)는 상기 기판(40)과 접촉되는 발열 블록(90)을 이용하여 상기 기판 상의 솔더(50)들을 가열하여 수행된다. 이와 같이 발열 블록(90)을 이용하면, 플레이싱 단계(S3)에서 마이크로 엘이디 칩(30)에 가해지는 하방 가압력을 마이크로 엘이디 칩(30) 실장을 위한 가압력을 이용할 수 있다. 대안적으로, 상기 본딩하는 단계는 상온에서 상기 마이크로 엘이디 칩(30)들을 상기 기판(40)에 가접시킨 후 수행될 수 있는데, 이 경우, 발열 블록을 이용하지 않고 리플로우 공정을 통해 수행될 수도 있다.

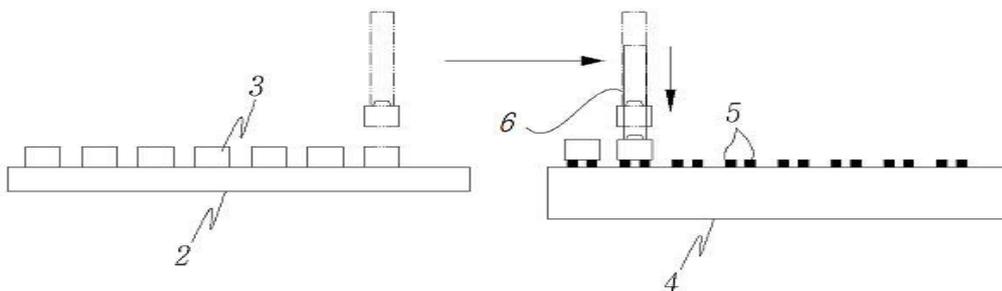
[0048] 도 11에는 기판(40) 및 그 기판(40) 상에 어레이된 마이크로 엘이디 칩(30)들이 발열 블록(90; 도 10 참조)으로부터 분리된 상태가 보여진다.

부호의 설명

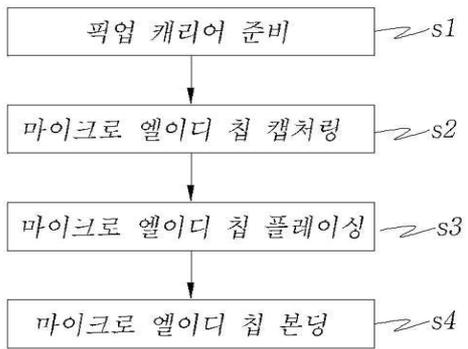
- [0049] 20.....칩 유지 필름
- 30.....엘이디 칩
- 40.....기판
- 50.....솔더
- 60.....픽업 캐리어
- 61.....석션 플레이트
- 612.....석션 포켓
- 613.....연결 홈

도면

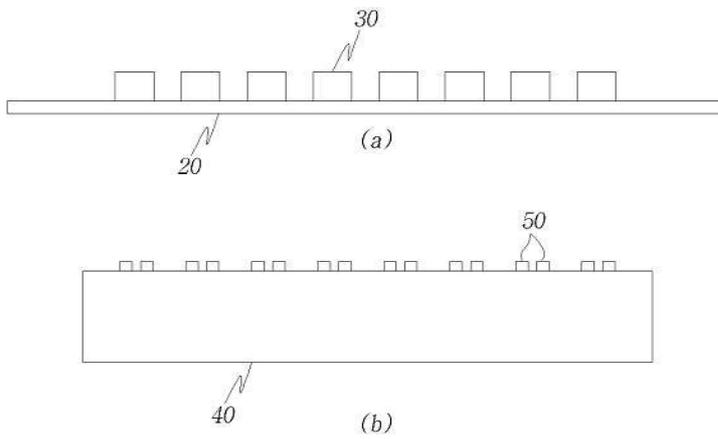
도면1



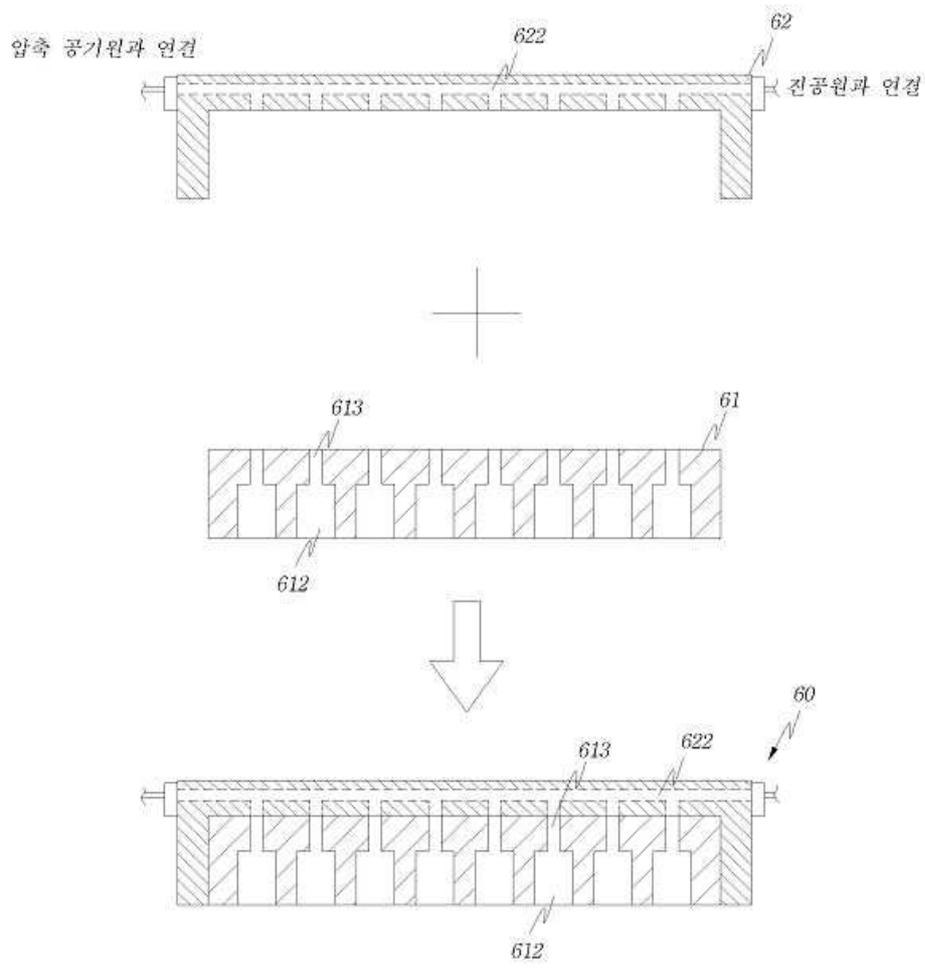
도면2



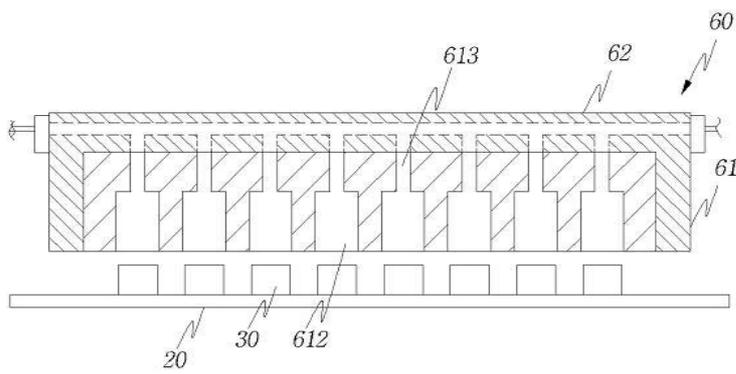
도면3



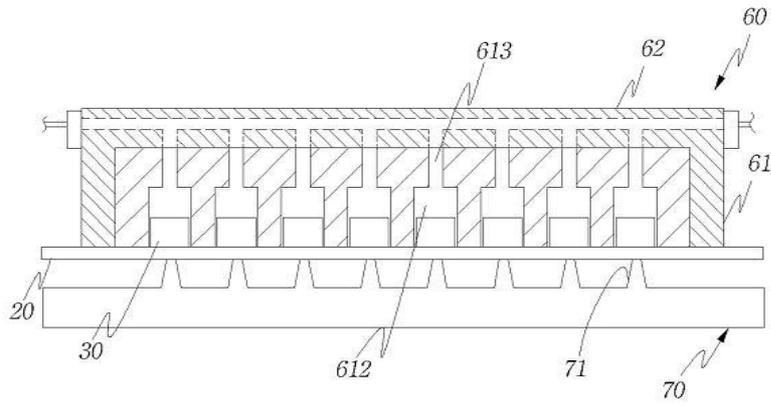
도면4



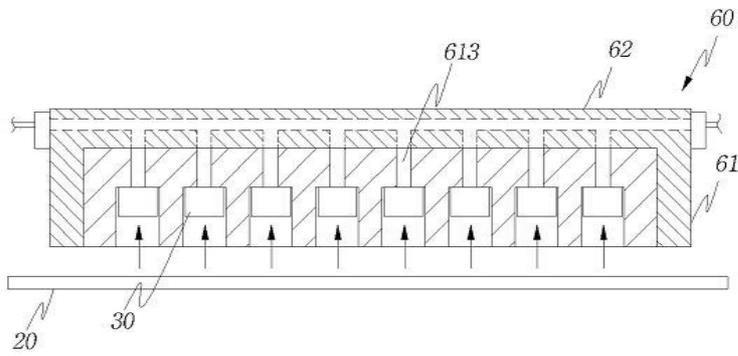
도면5



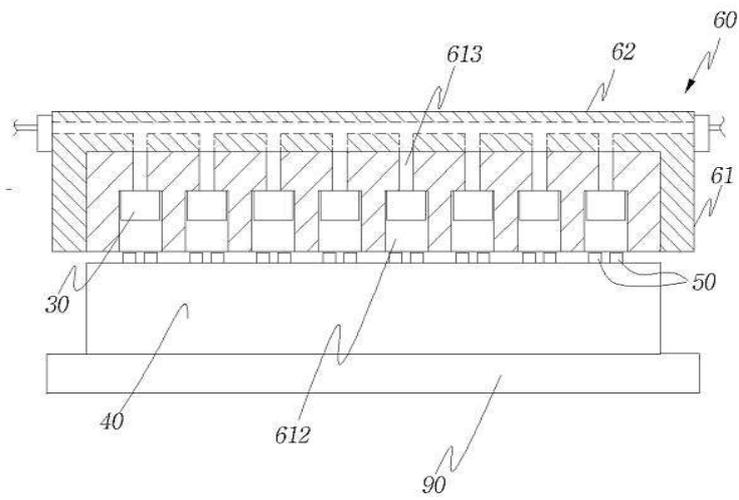
도면6



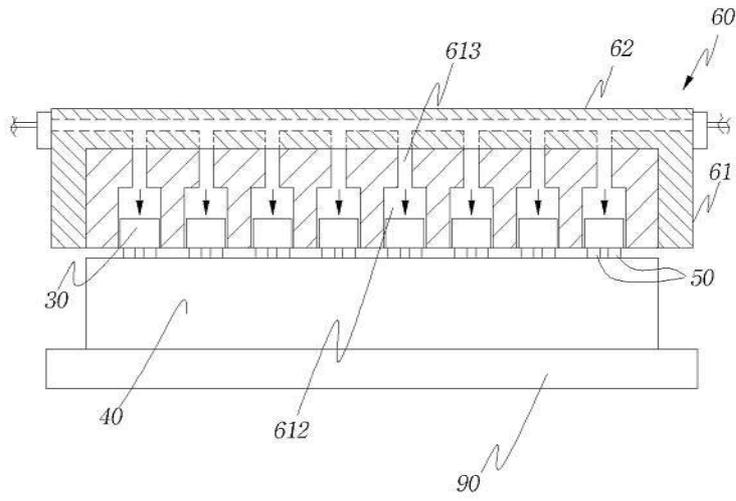
도면7



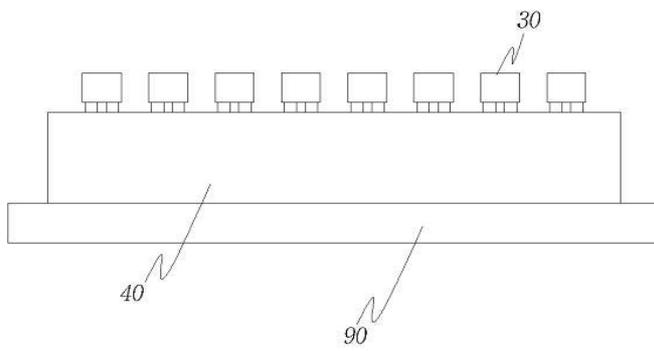
도면8



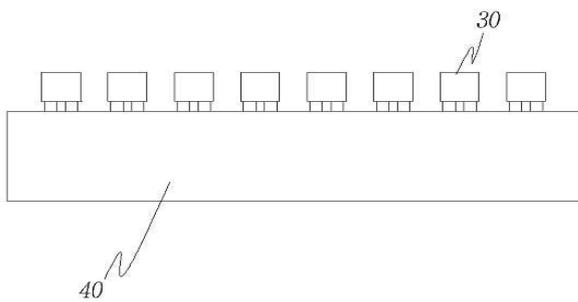
도면9



도면10



도면11



专利名称(译)	用于LED显示面板制造的LED芯片阵列方法		
公开(公告)号	KR1020190098329A	公开(公告)日	2019-08-22
申请号	KR1020180018125	申请日	2018-02-14
申请(专利权)人(译)	流明公司		
[标]发明人	유태경 서주옥		
发明人	유태경 서주옥		
IPC分类号	H01L25/075 H01L21/67 H01L23/00		
CPC分类号	H01L25/0753 H01L21/67098 H01L21/67121 H01L21/67144 H01L24/11		
代理人(译)	Yuchangyeol		
外部链接	Espacenet		

摘要(译)

公开了一种LED芯片排列方法，其中，将保持在芯片保持膜的上表面上的LED芯片以预定布置排列在基板上。该方法包括以下步骤：准备拾取器载体，在其上形成与预定布置相对应的布置的抽吸袋；在吸气袋内部减压以捕获每个LED芯片；将LED芯片以吸袋的形式放置在基板上；加热焊料将LED芯片粘合到基板上。

